

09/01/00

09-05-00

A



FORM PTO-1082

81754.0040
Express Mail Label No. EL 589 805 155 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

re application of:
Yodhiro IWASA
Serial No: Not assigned
Filed: September 1, 2000
For: SEMICONDUCTOR DEVICE

jc853 U.S. PTO
09/654550
09/01/00

Box PATENT APPLICATION
Commissioner for Patents
Washington, D.C. 20231

Dear Sir:

Transmitted herewith for filing is the patent application identified above.

- ☒ 3 sheet(s) of drawings (☐ formal ☒ informal) is(are) enclosed.
- ☒ 12 page(s) of specification and 1 page(s) of abstract of the invention are enclosed.
- ☐ An assignment of the invention to SEIKO EPSON CORPORATION ☐ is enclosed ☒ will follow.
- ☐ An associate power of attorney ☐ is enclosed ☐ will follow.
- ☐ A verified statement to establish small entity status under 37 C.F.R. 1.9 and 1.27 is enclosed.
- ☐ Declaration and Power of Attorney ☐ is enclosed ☒ will follow.
- ☐ A certified copies of Japanese Patent Application No. 11-252252 filed September 6, 1999, 2000-243735 filed August 11, 2000 from which priority is claimed under 35 U.S.C. § 119 will follow.
- ☒ IDS enclosed (☒ with 4 reference(s)).
- ☐ Preliminary Amendment is enclosed.
- ☒ Return postcard is enclosed.

CALCULATION OF FEES

ITEM		TOTAL NO. OF CLAIMS		NO. OF CLAIMS OVER BASE	LG/SM \$ ENTITY FEE		\$ AMOUNT	\$ FEE	
A	TOTAL CLAIMS FEE	11	-20	0	LG=\$18 SM=\$9	\$18	0		
B	INDEPENDENT CLAIMS FEE*	1	-3	0	LG=\$78 SM=\$39	\$78	0		
C	SUBTOTAL - ADDITIONAL CLAIMS FEE (ADD FINAL COLUMN IN LINES A + B)							0	
D	MULTIPLE-DEPENDENT CLAIMS FEE				LARGE ENTITY FEE = \$260 SMALL ENTITY FEE = \$130			\$ 0	
E	BASIC FEE				LARGE ENTITY FEE = \$690 SMALL ENTITY FEE = \$345			\$ 690	
F	TOTAL FILING FEE (ADD TOTALS FOR LINES C, D, AND E)							\$ 0	
G	ASSIGNMENT RECORDING FEE							\$ 40	\$ 40
	*LIST INDEPENDENT CLAIMS 1.								

- ☐ Please charge my Deposit Account No. 50-1314 the amount of \$ 0 . A copy of this letter is enclosed.
- ☐ A check in the amount of \$ 0 to cover the filing fee is enclosed.
- ☐ A check in the amount of \$ 40.00 to cover Assignment Recordation fee is enclosed.
- ☐ The Commissioner is hereby authorized to charge any deficiency for the following fees associated with this communication or credit any overpayment to Deposit Account No. 50-1314. **A copy of this sheet is enclosed.**
 - ☐ Any additional filing fees required under 37 C.F.R. 1.16
 - ☐ Any patent application processing fees under 37 C.F.R. 1.17

Please associate this case with the attorneys of record.

Respectfully submitted,
HOGAN & PARTSON LLP.

Date: September 1, 2000

By: _____

500 South Grand Avenue, Suite 1900
Los Angeles, CA 90071
Telephone: (213) 337-6700
Facsimile: (213) 337-6701

Louis A. Mok
Registration No. 22,585
Attorney for Applicant(s)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Yoshiro IWASA

Serial No: Not assigned

Filed: September 1, 2000

For: SEMICONDUCTOR DEVICE

Art Unit: Not assigned

Examiner: Not assigned

CERTIFICATE OF MAILING VIA U.S. EXPRESS MAIL

"Express Mail" Mailing Label No. EL 589 805 155 US

Date of Deposit: September 1, 2000

Box PATENT APPLICATION

Commissioner for Patents

Washington, D.C. 20231

Dear Sir:

I hereby certify that

- ☒ two copies of a letter of transmittal
- ☒ patent application (12 page(s) of specification; 11 claim(s); 1 page(s) of abstract
- ☒ 3 sheet(s) of informal drawings
- ☒ Information Disclosure Statement with 4 references
- ☒ return postcard

are being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service with sufficient postage under 37 C.F.R. § 1.10 on the date indicated above and are addressed to:

Box PATENT APPLICATION

Commissioner for Patents

Washington, D.C. 20231.

Date: September 1, 2000

Hogan & Hartson, LLP
500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

James Hernandez

Name of person mailing papers


Signature

半導体装置

発明の背景技術

5

産業上の利用分野

本発明は、半導体装置に関わり、特に、信号を高速且つ正確に伝送することが可能な半導体装置に関する。

10 従来の技術

従来、製品システム基板上には導線等をプリントした配線パターンが形成されている。システム基板には複数の半導体チップが実装されており、これら半導体チップには電気信号を受け渡す電極パッドが形成されている。前記電極パッドはボンディングワイヤによりリードフレームと電氣的に接続されている。そして、
15 前記半導体チップ、ボンディングワイヤ及びリードフレームの一端は、モールド樹脂により封止されている。一方リードフレームの他端は、前記配線パターンに半田付け又は圧着により接続されている。そして、半導体チップの相互間における信号の受け渡し（入出力）は、配線パターン及びリードフレームを介して電気信号により行われている。

20 ところで、上記従来の半導体装置では、電気信号のON、OFFによりデジタル信号を生成し、信号の受け渡しを行っている。

このため、高周波、高速動作又は低電圧化（2V）によってノイズの影響を受け易いという問題がある。また、電圧の変動等により誤動作が発生する可能性もある。

25 また、上記従来の半導体装置では、モールド樹脂（半導体パッケージ）から突出しているリード部とシステム基板上の配線パターンとを半田付け又は圧着により接合し、半導体チップに入出力する信号としては配線パターンによって伝送する電気信号を用いている。

このため、配線パターン等の伝送素子の物性（銅等の物性）に多大な影響を受

け、信号本来の特性を維持し続けることが難しいという問題がある。つまり、隣接する配線の線間容量等の物性の影響で伝搬信号がなまったり、振幅が不安定となったり、また、次段の装置が誤動作する等といった弊害が生じることがある。

- 特に、半導体装置に入出力するクロック信号等に関しては、この影響を考慮して回路を設計しなければならない。また、隣接する信号間の電氣的な影響を無視することができないので、誤動作防止回路や信号の制御を行う必要もある。また、半導体パッケージから突出しているリードは、その長さや位置の自由度が少ないため、システム基板上の限られた場所にしか接続することができない。

10

発明の要約

そこで、本発明の目的は、信号を高速且つ正確に伝送することが可能な半導体装置を提供することにある。

- 15 本発明の一態様では、半導体装置は、半導体チップに形成された、光信号を受ける光源受動素子と、前記光源受動素子に接続され、前記半導体チップ内に光信号を伝送するための光信号伝送手段と、を具備している。

- この一態様によれば、半導体装置では、半導体チップに光源受動素子を介して光信号伝送手段が接続され、半導体チップ内に入力する信号として光信号が用いられる。光信号は電気信号と比較して振幅の減衰が少なく、伝送速度も高速なため、正確な信号伝送が可能となり、信号を高速且つ正確に伝送することができる。

- 20 ここで、前記光信号伝送手段は、例えばガラスファイバーのような光ファイバーであつてもよい。

- また、前記半導体チップ及び前記光ファイバーの一部を封止するパッケージをさらに含むようにしてもよい。

- 25 また、前記半導体チップが実装基板上に実装されていてもよい。

また、本発明の他の態様では、半導体装置は、実装基板内に配置された、光信号を伝送するための光信号伝送手段と、前記実装基板上に実装された複数の半導体チップと、当該半導体チップに形成され、前記光信号伝送手段に接続された光

信号を受ける光源受動素子と、を具備しており、前記複数の半導体チップの相互間における信号の受け渡しは前記光信号伝送手段により行われる。

さらに、本発明の他の態様では、半導体装置は、半導体チップに形成された、光信号を受ける光源受動素子と、当該光源受動素子に接続され、前記半導体チップ内に演算処理装置からの信号を光信号で伝送するための光信号伝送手段と、を具備している。

この態様では、半導体チップに光源受動素子を介して光信号伝送手段が接続され、演算処理装置から半導体チップ内に入力する信号として光信号が用いられる。光信号は電気信号と比較して振幅の減衰が少なく、伝送速度も高速なため、正確な信号伝送が可能となり、信号を高速且つ正確に伝送することができる。

特に、前記演算処理装置から半導体チップ内に入力する信号としてクロック信号を適用すれば、クロック信号の位相ずれを回避し、高精度なクロック信号を半導体チップに伝送することができる。

また、前記光信号伝送手段を、前記半導体チップが実装された実装基板に埋め込む等、実装基板内に設けるようにしてもよい。

また、前記実装基板上或いは実装基板内に発光素子面を構成し、これを前記光信号伝送手段として用いるようにしてもよい。つまり、例えば実装基板上に発光素子面を形成し、入力される光信号に応じて実装基板面全体を発光させるようにしてもよい。このようにすることによって、実装基板上における半導体チップの実装位置を考慮することなく光信号伝送手段を配設することができる。

また、実装基板全体に発光素子面を形成するのではなく、前記光信号伝送手段を、格子状に形成しこれを前記実装基板に配設するようにしてもよい。

また、このとき、前記光源受動素子を前記半導体チップの前記実装基板と対向する側に凸状に形成し、前記光源受動素子を、面状或いは格子状に配設された前記光信号伝送手段に差し込むことにより前記光源受動素子と前記光信号伝送手段とを接続するようにしてもよい。このようにすることによって、光源受動素子と光信号伝送手段とを容易確実に接続することができる。

図面の簡単な説明

図 1 は、本発明の第 1 の実施の形態による半導体装置の一部を示す断面図である。

5 図 2 は、本発明の第 2 の実施の形態による半導体装置の一部を示す平面図である。

図 3 は、本発明の第 3 の実施の形態による半導体装置を模式的に示す平面図である。

10 図 4 は、本発明の第 4 の実施の形態による半導体装置を模式的に示す平面図である。

図 5 は、発光素子又は光源受動素子とガラスファイバーとの接続方法を示す説明図である。

15 図 6 は、本発明の第 5 の実施の形態による半導体装置を模式的に示す平面図である。

発明の好適な実施例の説明

以下、図面を参照して本発明の実施の形態について説明する。

20 図 1 は、本発明の第 1 の実施の形態による半導体装置の一部を示す断面図である。

この半導体装置は半導体チップ 11 を有している。半導体チップ 11 には、レーザー（赤外線）等による光信号を受ける光源受動素子（図示せず）が形成されている。光源受動素子には、光信号伝送手段として例えば指向性素子であるガラスファイバー 15 の一端が光透過性の接着剤によって接続されている。光信号伝送手段は、半導体チップ 11 内に光信号を伝送するためのものであり。半導体チップ 11、光源受動素子及びガラスファイバー 15 の一端は、モールド樹脂 13 により封止されている。

上記半導体装置においては、ガラスファイバー 15 から光信号が光源受動素子を介して半導体チップ 11 内に導入される。即ち、この光信号は、光源受動素子

によって受け渡され、半導体チップ 11 内に導入される。

上記第 1 の実施の形態によれば、半導体チップ 11 に光源受動素子を介してガラスファイバー 15 を接続し、半導体チップ 11 内に入力する信号としてレーザー光等の光信号を用いている。光信号は電気信号と比較して振幅の減衰が少なく、
5 伝送速度も高速なため、正確な信号伝送が可能となり、光信号伝送手段であるガラスファイバー 15 の物性（伝達物性）の影響をほとんど受ける事なく、信号を高速且つ正確に伝送することが可能となる。

また、光信号を用いることにより、電気信号に比べてノイズの影響を受け難く、電圧の変動等による誤動作も発生し難い。また、光信号の場合、伝送素子である
10 ガラスファイバー 15 の物性に影響を受けることがなく、信号本来の特性を維持し続ける事が容易である。

また、光信号では、隣接するガラスファイバー間の物性の影響で伝送する光信号がなまることがなく、振幅が不安定となることもない。

なお、上記第 1 の実施の形態では、ガラスファイバー 15 の一端と光源受動素子とを光透過性の接着剤によって接続しているが、ガラスファイバーの一端と光源受動素子とをモールドによる圧着によって接続することも可能である。
15

図 2 は、本発明の第 2 の実施の形態による半導体装置の一部を示す平面図であり、図 1 に示す半導体チップ 11 が実装基板であるシステム基板に実装されている様子を示す平面図である。

半導体チップ 11 の表面には、複数の電極パッド 23 が形成されており、電極パッド 23 の一部は、ボンディングワイヤ 25 によりリード 26～30 に電氣的に接続されている。また、電極パッド 23 の一部は、光信号伝送手段としてのガラスファイバー 15 の一端に光源受動素子（図示せず）を介して接続されている。半導体チップ 13、ボンディングワイヤ 25、リードの一部及びガラスファイバー 15 の一端はモールド樹脂 13 により封止されている。
20
25

また、システム基板 21 上には、導線等がプリントされた配線パターン 36～39 が形成されている。また、システム基板 21 上には、半導体パッケージ 13 が実装されている。この半導体パッケージ 13 から突出しているリード 26～30 は半田付け又は圧着により配線パターン 36～39 に接続されている。

上記半導体装置においては、ガラスファイバー15から光信号が入力され、半導体チップ11内で光信号が電気信号に変化されるようになっている。例えば、光信号が変換された電気信号を供給する信号ラインに、光信号ONで電源から V_{DD} 電位が供給され、光信号OFFでGNDから接地電位が供給されるように構成することも可能である。

上記第2の実施の形態においても第1の実施の形態と同様の効果を得ることができる。

また、この第2の実施の形態では、半導体チップ11にガラスファイバー15を接続する構成を用いているため、リード部に比べて配置の自由度を大きくすることができる。つまり、半導体パッケージ13から突出しているリードは、その長さや位置が決まっており、システム基板21上の限られた場所の配線パターンにしか接続できない。また、システム基板21においては、配線パターン36、37の相互の間隔Lが一定以上必要である。このため、リード及び配線パターンのみを用いるのでは、回路構成が制限される。しかしながら、半導体チップ11に信号を供給する手段としてさらにガラスファイバー15を用いると、回路構成の自由度を上げることができる。

また、リード（ピン）の相互の間隔も一定以上必要であるため、ピン数を無制限に増やすことはできないので回路構成が制限される。しかしながら、半導体チップ11に信号を供給する手段としてさらにガラスファイバー15を用いると、回路構成の自由度を上げることができる。

なお、上記第2の実施の形態では、1本のガラスファイバー15を半導体チップ11に接続しているが、複数のガラスファイバーを半導体チップに接続することも可能であり、ガラスファイバーはどこに設置してもよい。

図3は、本発明の第3の実施の形態による半導体装置を模式的に示す平面図である。

システム基板41内には、光信号を伝送する手段として例えば指向性素子であるガラスファイバー45～47が配置されている。システム基板41上には複数の半導体チップ42、43が実装されている。半導体チップ42、43には、レーザー（赤外線）等による光信号を受ける光源受動素子及び光信号を発光する発

光素子 5 1 ～ 5 6 が形成されている。

半導体チップの相互間 4 2、4 3 は、光源受動素子及び発光素子 5 1 ～ 5 6 を介してガラスファイバー 4 5 ～ 4 7 によって接続されている。ガラスファイバーは導線等の配線と同様に使用するものである。

- 5 すなわち、ガラスファイバー 4 7 の一端は光源受動素子 5 1 を介して半導体チップ 4 2 に接続され、ガラスファイバー 4 7 の他端は発光素子 5 2 を介して半導体チップ 4 3 に接続され、半導体チップ 4 3 から光源半導体チップ 4 2 に信号が出力されるようになっている。また、ガラスファイバー 4 6 の一端は光源受動素子 5 3 を介して半導体チップ 4 2 に接続され、ガラスファイバー 4 6 の他端は発
10 光素子 5 4 を介して半導体チップ 4 3 に接続されている。ガラスファイバー 4 5 の一端は発光素子 5 5 を介して半導体チップ 4 2 に接続され、ガラスファイバー 4 5 の他端は光源受動素子 5 6 を介して半導体チップ 4 3 に接続され、半導体チップ 4 2 から半導体チップ 4 3 に信号が出力されるようになっている。

- 上記半導体装置においては、半導体チップ 4 2、4 3 の相互間をガラスファイ
15 バー 4 5 ～ 4 7 及び光源受動素子 5 1 ～ 5 6 を介して光信号が伝送される。つまり、光信号は、光源受動素子 5 1 ～ 5 6 によって受け渡され、半導体チップ 4 2、4 3 内に導入される。

したがって、この第 3 の実施の形態においても上記第 1 の実施の形態と同様の効果を得ることができる。

- 20 特に、演算処理装置と記憶装置等との間で、クロック信号を伝送する場合等には、クロック信号の位相ずれが生じることがないから好適である。

- また、この第 3 の実施の形態では、システム基板 4 1 内に予め半導体製品の接続配線材としてガラスファイバー 4 5 ～ 4 7 等の指向性物質で配線を行うため、従来の半導体装置のようなリード部分が不要となる。したがって、システム基
25 板上において半田接合部分が不要となり、半田不良による装置の誤動作を防ぐことができる。

図 4 は、本発明の第 4 の実施の形態による半導体装置を示す。

この第 4 の実施の形態においては、システム基板 6 1 は例えばフィルム基板で構成されている。そして、このシステム基板 6 1 内には、光信号伝送手段として

のガラスファイバー 6 2 が格子状に接続されて埋め込まれており、ガラスファイバー 6 2 の何れかの場所において信号を発生させると、その信号がガラスファイバー 6 2 全域に伝達可能に構成されている。このシステム基板 6 1 は、例えば、システム基板 6 1 を形成する際にガラスファイバー 6 2 を埋め込むことにより形成するようになっている。

そして、このシステム基板 6 1 に実装される演算処理装置 6 3 には、クロック信号を送信するための発光素子 6 7 が形成され、演算処理装置 6 3 からのクロック信号を受信する記憶装置 6 4、6 5 等の半導体チップには、レーザー（赤外線）等による光信号を受光する光源受動素子 6 8、6 9 が形成されている。また、上述のようにしてガラスファイバー 6 2 が形成されたシステム基板 6 1 上の、半導体チップ 6 3～6 5 の実装位置に、その光源受動素子又は発光素子 6 7～6 9 とガラスファイバー 6 2 とが対向するようにコンタクトホール 6 1 a が形成されている。そして、前記コンタクトホール 6 1 a に光源受動素子及び発光素子 6 7～6 9 を差し込み、図 5 に示すように、ガラスファイバー 6 2 に光源受動素子及び発光素子 6 7～6 9 を圧着させることによって、光源受動素子及び発光素子 6 7～6 9 とガラスファイバー 6 2 とを接続するようになっている。

これによって、半導体チップ 6 3～6 5 は、光源受動素子及び発光素子 6 7～6 9 を介してガラスファイバー 6 2 に接続される。そして、演算処理装置である半導体チップ 6 3 からのクロック信号は、その発光素子 6 7 を介してガラスファイバー 6 2 に伝達され、半導体チップ 6 4、6 5 では、ガラスファイバー 6 2 からの信号をその光源受動素子 6 8、6 9 で受けるから、クロック信号はガラスファイバー 6 2 から記憶装置 6 4、6 5 に取り込まれることになる。

なお、クロック信号以外の信号は、例えばシステム基板 6 1 上に配線パターンを形成し、この配線パターンを介して伝送するようにすればよい。

したがって、この場合も上記各実施の形態と同様の効果を得ることができる。また、この半導体装置においては、システム基板 6 1 に格子状にガラスファイバー 6 2 を形成しているから、システム基板 6 1 を作成するときに、半導体チップの配置位置等を考慮してガラスファイバー 6 2 を埋め込む必要はなく、システム基板 6 1 を容易に作成することができる。

また、システム基板 6 1 はフィルム基板で形成されているから、ある程度折り曲げることにも可能であり、且つ低コスト化を期待することができる。

なお、上記第 4 の実施の形態においては、ガラスファイバー 6 2 をシステム基板 6 1 の全域にわたって形成するようにした場合について説明したが、これに限るものではなく、例えばシステム基板 6 1 の半導体チップの実装位置を含む領域等、一部分にのみ形成するようにしてもよい。

また、格子の間隔を小さくするほど、半導体チップを実装する際にガラスファイバー 6 2 の位置を考慮しなくてもよいが、実装する半導体チップの設置間隔に応じて格子間隔を決定するようにしてもよい。

10 図 6 は、本発明の第 5 の実施の形態による半導体装置を示す。

この第 5 の実施の形態は、上記第 4 の実施の形態においてシステム基板 6 1 に代えてシステム基板 7 1 を用いるようになっている。

この第 5 の実施の形態におけるシステム基板 7 1 はフィルム基板で構成され、このシステム基板 7 1 上には、例えば発光ダイオード等の発光素子で構成される発光面 7 2 が形成されている。この発光面 7 2 には、発光面 7 2 への外部からの光の進入を防止するための光阻止膜が形成されている。

なお、この発光面 7 2 は、前記システム基板 7 1 内に形成してもよく、また、システム基板 7 1 を発光素子で形成し、システム基板 7 1 を発光面 7 2 として用いるようにしてもよい。

20 そして、システム基板 7 1 上の前記半導体チップ 6 3 ~ 6 5 の実装位置には、その光源受動素子又は発光素子 6 7 ~ 6 9 と対向する位置にコンタクトホール 7 1 a が形成されている。このコンタクトホール 7 1 a に光源受動素子及び発光素子 6 7 ~ 6 9 を差し込み、発光面 7 2 に光源受動素子及び発光素子 6 7 ~ 6 9 を圧着させることによって、光源受動素子及び発光素子 6 7 ~ 6 9 と発光面 7 2 とを接続する。

25 これによって、半導体チップ 6 3 ~ 6 5 は、光源受動素子及び発光素子 6 7 ~ 6 9 を介して発光面 7 2 に接続される。そして、演算処理装置である半導体チップ 6 3 からのクロック信号は、その発光素子 6 7 を介して発光面 7 2 に伝達され、発光面 7 2 からの信号を半導体チップ 6 4、6 5 の光源受動素子 6 8、6 9 で受

けるから、クロック信号は発光面 7 2 から記憶装置 6 4、6 5 に取り込まれることになる。

5 なお、クロック信号以外の信号は、システム基板 7 1 上、或いはシステム基板 7 1 の上に発光面 7 2 が形成されているならば発光面 7 2 上に配線パターンを形成し、この配線パターンを介して伝送するようにすればよい。

したがって、この場合も上記第 4 の実施の形態と同様の効果を得ることができる。また、この半導体装置においては、システム基板 7 1 全域に発光面 7 2 が形成されているから、システム基板 7 1 に半導体チップを実装する場合であっても、ガラスファイバーを配設した場合のようにその配設位置を考慮する必要はない。

10 なお、上記第 5 の実施の形態においては、発光面 7 2 をシステム基板 7 1 の全域にわたって形成するようにした場合について説明したが、これに限るものではなく、例えばシステム基板 7 1 の半導体チップの実装位置を含む領域等、一部分にのみ形成するようにしてもよい。

15 また、例えば発光面 7 2 を複数積層し、各層毎に信号を割り当てて、クロック信号だけでなく、例えばイネーブル信号等といった他の信号をも伝送するようにしてもよい。この場合には、例えば発光面間にも光阻止膜を形成し、外部からの光信号だけでなく、他の発光面における光信号が進入しないようにすればよい。また、各光源受動素子及び発光素子を、それぞれ対応する発光面にのみ信号を伝達し、また対応する発光面のみから信号を受けするようにし、対応しない発光面に
20 対しては光信号を伝達せず、また光信号を受けないように形成すればよい。

なお、本発明は上記実施の形態に限定されず、種々変更して実施することが可能である。

クレーム

1. 半導体チップに形成された、光信号を受ける光源受動素子と、
前記光源受動素子に接続され、前記半導体チップ内に光信号を伝送するための
5 光信号伝送手段と、を具備することを特徴とする半導体装置。
2. 請求項 1 において、
前記光信号伝送手段が、光ファイバーであることを特徴とする半導体装置。3.
請求項 2 において、
前記半導体チップ及び前記光ファイバーの一部を封止するパッケージをさらに
10 含むことを特徴とする半導体装置。
4. 請求項 1 において、前記半導体チップが実装基板上に実装されていることを
特徴とする半導体装置。
5. 実装基板内に配置された、光信号を伝送するための光信号伝送手段と、
前記実装基板上に実装された複数の半導体チップと、
15 当該半導体チップに形成され、前記光信号伝送手段に接続された光信号を受け
る光源受動素子と、
を具備し、
前記複数の半導体チップの相互間における信号の受け渡しを前記光信号伝送手
段により行うことを特徴とする半導体装置。
- 20 6. 半導体チップに形成された、光信号を受ける光源受動素子と、
当該光源受動素子に接続され、前記半導体チップ内に演算処理装置からの信号
を光信号で伝送するための光信号伝送手段と、
を具備することを特徴とする半導体装置。
7. 請求項 6 において、前記信号はクロック信号であることを特徴とする半導体
25 装置。
8. 請求項 6 において、前記光信号伝送手段は、前記半導体チップが実装された
実装基板内に設けられていることを特徴とする半導体装置。
9. 請求項 6 において、前記光信号伝送手段は、前記実装基板に形成された発光
素子面であることを特徴とする半導体装置。

10. 請求項6において、前記光信号伝送手段は、格子状に形成されて前記実装基板に配設されていることを特徴とする半導体装置。

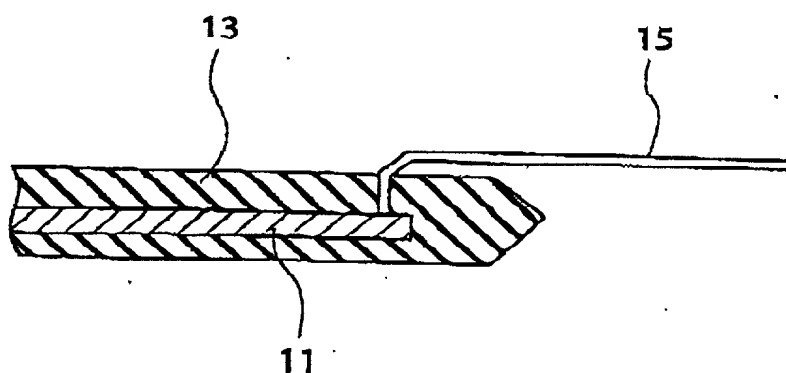
11. 請求項8において、前記光源受動素子は前記半導体チップの前記実装基板と対向する側に凸状に形成され、前記光源受動素子を前記光信号伝送手段に差し込むことにより前記光源受動素子と前記光信号伝送手段とを接続するようになっていることを特徴とする半導体装置。

アブストラクト

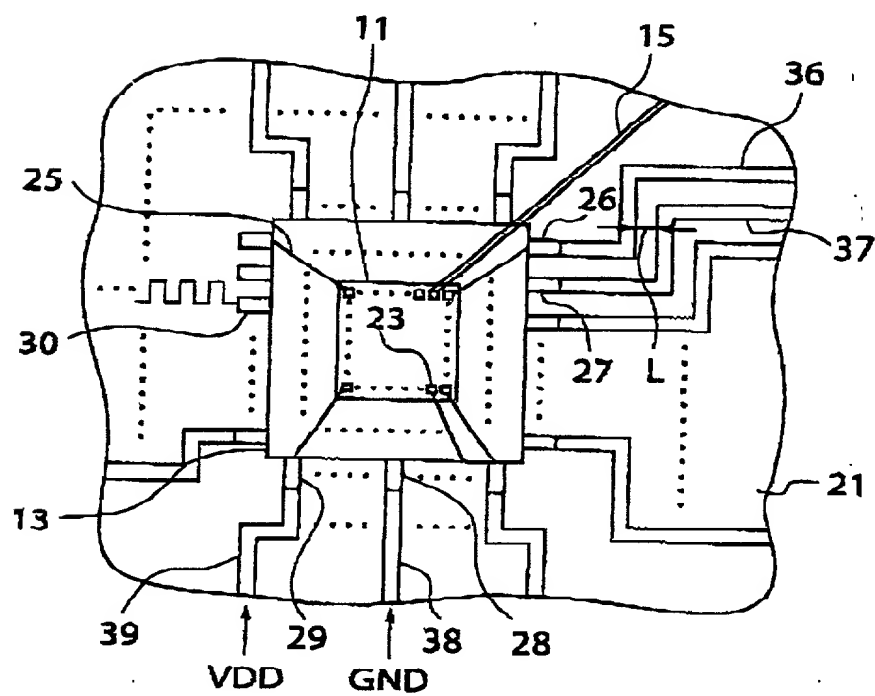
- 信号を高速且つ正確に伝送することが可能な半導体装置である。この半導体装置は、半導体チップに形成された光信号を受ける光源受動素子と、この光源受動素子に接続され、前記半導体チップ内に光信号を伝送するための光信号伝送手段としてのガラスファイバーとが設けられている。光信号は電気信号と比較して振幅の減衰が少なく、伝送速度も高速なため、正確な信号伝送が可能である。よって、信号を光信号により伝送すれば、信号を高速且つ正確に伝送することが可能な半導体装置を得ることができる。

【書類名】 図面

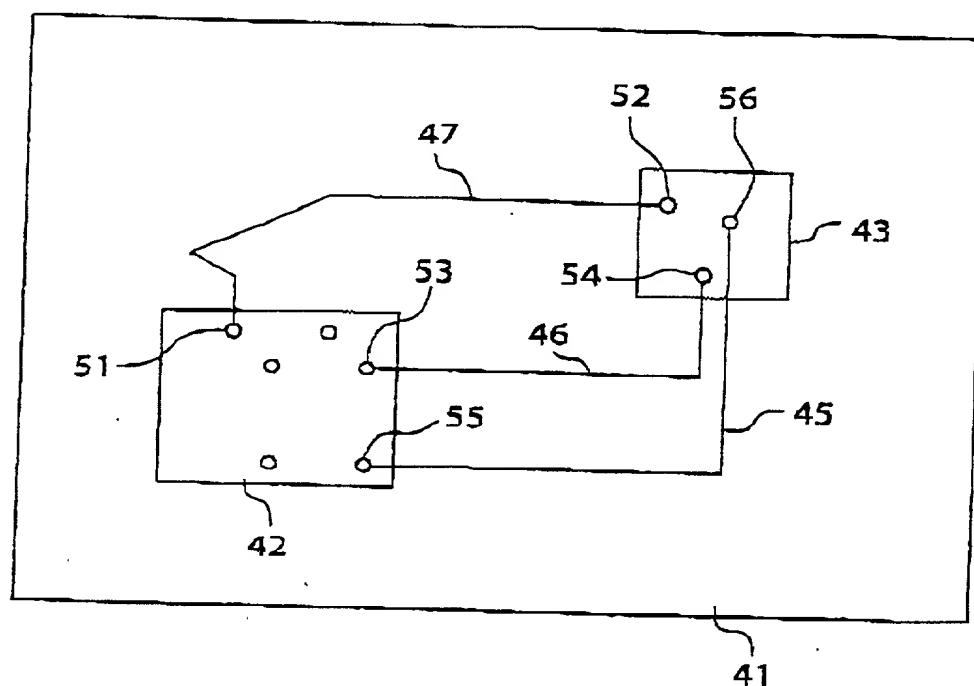
【図1】



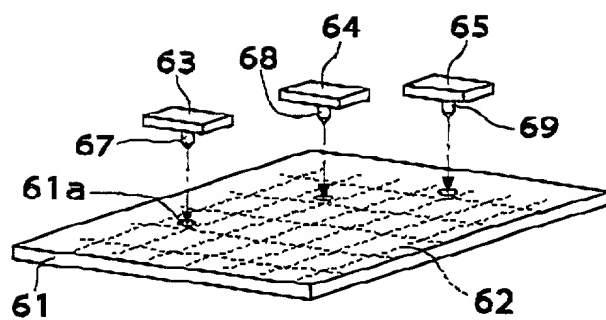
【図2】



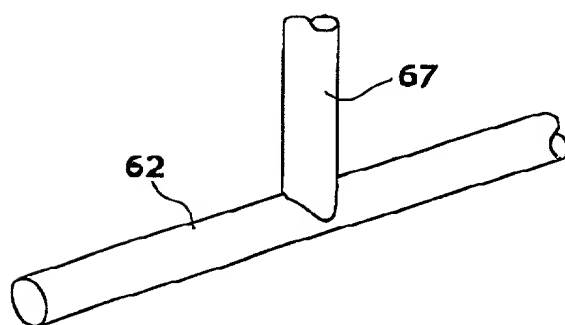
【図3】



[図 4]



[図 5]



[図 6]

